

高耐圧 MOS トランジスタの端子間容量測定

大阪大学大学院工学研究科
電気電子情報工学専攻教授

舟 木 剛

1 はじめに

現代社会の利便性・快適性は電気エネルギー利用の上に成り立っていると言っても過言ではない。また石油ショックや地球温暖化を契機として進められている省エネルギーも、多くの分野において高度に制御された電気エネルギーを利用することにより実現されている。例えば家電分野においては、1990年代にインバータエアコンが実用化され、その後冷蔵庫・洗濯機といった電動機を持ったものだけでなく、蛍光灯や電磁調理器等ほとんど全ての身の回り機器に対してインバータが適用され、高効率化による省エネルギーだけでなく、高機能化・高性能化が実現されている。また交通運輸の分野においても、従来からインバータ化により省エネルギーとサービス向上を図ってきた電気鉄道だけでなく、ハイブリッド自動車のような適用範囲の拡大がすすんでいる。また太陽光発電等の再生可能エネルギー利用においても、インバータを用いた電力変換と系統連系によりシームレスな電気エネルギー利用が可能となっている。これら省エネルギー・高効率化・高機能化・高性能化・自然エネルギー利用に不可欠なインバータを支えているのがパワー半導体スイッチングデバイスである。

電力変換はパワー半導体デバイスの ON/OFF（スイッチング）動作により行なうが、大きなエネルギーを扱う高電圧・大容量のインバータではこれまで、ON動作は可制御であるが、OFF動作は状態依存となる自然消弧形デバイスが用いられてきた。パワー半導体スイッチングデバイスの発展に伴い、高電圧・大容量の機器に対しても自己消弧形デバイスの利用が可能となり、インバータの適用範囲が広がった。自己消弧形デバイスを適用する電力変換回路では、平滑コンデンサやリアクトルの小型化・小容量化のためにスイッチング周波数の高周波化がすすめられている。このため、用いる自己消弧形デバイスも GT0 等のサイリスタ系のデバイスから、IGBT 等のトランジスタ系

のデバイスに移行しつつある。またバイポーラ系のデバイスに比べ高速スイッチングが可能であるが、オン抵抗の十分小さい高耐圧デバイスが得られなかった MOSFET 等のユニポーラ系デバイスも、超接合構造 (SJ: Super Junction) [1] や、SiC、GaN 等の絶縁破壊電界の非常に大きいワイドバンドギャップ半導体材料・プロセスの開発 [2] により、高電圧・大容量電力変換回路への適用が可能となってきた。バイポーラ系デバイスでは、導通時において少数キャリアの注入による伝導度変調効果によりオン抵抗が小さくなるが、ターンオフ動作では蓄積された少数キャリアが、スイッチング速度に対して影響を及ぼす。一方ユニポーラ系デバイスでは少数キャリア蓄積が無い場合、スイッチング動作においては半導体の空乏層に対する多数キャリアの注入・排出がスイッチング速度を支配する。また電圧制御自己消弧形デバイスにおいては、ゲート駆動回路によるゲートへの電荷の注入・排出がスイッチング動作を支配するが、動作点が I-V 特性の飽和領域を通過する際に生じる電圧ゲインと帰還容量による Miller 効果 [3] がスイッチング速度を制限する原因となっている。従って、ユニポーラ系デバイスを高速にスイッチング動作させるには、各端子に対して充放電する電荷量を把握することが必要である。

電荷量を見積もるため半導体デバイスをコンデンサとみなすと、ポアソン方程式に従い印加電圧により空乏層の厚さが変化することから、電圧依存性の可変容量コンデンサとみなせる。従って dQ/dV で表される微分静電容量の電圧依存性を知る必要がある。デバイス構造・プロセスが既知であれば、有限要素法等によるデバイスシミュレーションでの評価も可能であるが、製造誤差等の不可避な要因もあるため、実測による評価も重要である。JEDEC [4] や IEC [5] 等におけるパワーデバイスの評価規格において、パワーデバイスの端子間容量測定法の概念について述べられているものの、実用的な測定回路構成や具体的な測定条件は示されていない。また市販の測定器で測定可能な

端子間容量は、印加電圧が低く [6]、高耐圧デバイスの端子間容量-バイアス電圧 ($C-V$) 特性を測定するには十分ではなかった。従って本稿では、高耐圧 MOS トランジスタを対象とした端子間容量測定回路およびシステムを開発する。また開発したシステムを用いて構造・半導体材料の異なるデバイスについて測定した結果を示す。

2 端子間容量の測定回路

縦型構造のパワー MOSFET や IGBT はバックゲートを持たず、端子間容量は図 1 に示すゲート-ソース間容量 (C_{gs})、ゲート-ドレイン間容量 (C_{gd})、ドレイン-ソース間容量 (C_{ds}) に分けられる。またパワーデバイスのスイッチング動作に対して、ゲート端子から見込んだ入力容量 ($C_{iss}=C_{gs}+C_{gd}$)、ドレイン端子から見込んだ出力容量 ($C_{oss}=C_{ds}+C_{gd}$)、ミラー効果で見かけ上トランジスタの電圧ゲイン倍される帰還容量 ($C_{rss}=C_{gd}$) の三種類が影響を与える。本稿ではゲート-ソース間電圧 (V_{gs})、ドレイン-ソース間電圧 (V_{ds}) のバイアス電圧を印加すると同時に、端子間容量を測定する回路およびその動作について述べる。なお対象として定格ドレイン-ソース間電圧 600V、端子間容量数 10nF 程度のパワーデバイスを想定し、測定回路の設計を行った。またトランジスタは T0220、T03 等のパッケージに実装されたものを対象とし、4 端子法により測定を行うため、3M 製 Textool T0 タイプソケットを用いた。また基本測定器として LCR メータ、デジタルマルチメータを用いた。以下ではこれらに接続して用いる測定回路について述べる。

〈2・1〉 C_{gs} 測定回路 図 2 (a) に C_{gs} 測定回路を示す。測定回路に示した H_{cur} 、 H_{pot} 、 L_{cur} 、 L_{pot} の端子を各々 LCR メータの測定端子に接続する。 V_{ds} 、 V_{gs} はデバイスに印加するバイアス電圧源を表す。 V_{ds} monitor、 V_{gs} monitor はデジタルマルチメータに接続し、測定対象に実際に印加されているバイアス電圧値を測定する。 $C1$ 、 $C2$ は LCR メータの測定端子にゲート電圧を印加せず、かつゲート端子への測定信号のみを通過させるためのバイパスコンデンサである。測定対象を数 10nF としたため、これに対して十分大きな値として $1\mu F$ を用いた。低電位側は接地電位となっていることから、LCR メータの測定端子に直接接続されている。またダイオードは、LCR メー

タをサージ電圧から保護する目的で配置している。ソース端子に接続された $L1$ は、直流的にソースを接地し、測定信号の交流的にはハイインピーダンスにより接地電位から浮かせるためのものである。ドレイン端子に接続した $C7$ はバイアス電圧 V_{ds} が印加されたドレイン端子を交流的に接地するバイパスコンデンサである。測定用の信号が影響を与えないように $C1$ 、 $C2$ より大きい $5\mu F$ とした。後述の理由で測定周波数を 100kHz としたので、 $L2$ 、 $C7$ のインピーダンスはそれぞれ 628Ω 、 0.32Ω となり 2000 倍程度のインピーダンス比により交流信号が遮断されている。同様にバイアス電圧印加回路、測定回路も $62k\Omega$ と $39k\Omega$ の直列抵抗を介して接続されており、電源、測定装置の内部インピーダンスの影響を受けないようにするとともに、遮断周波数が 100kHz より低くなる RC フィルタを構成している。

〈2・2〉 C_{gd} (C_{rss}) 測定回路 図 2 (b) に C_{rss} 測定回路を示す。本測定回路では、測定対象端子であるドレイン・ゲート共に電位の基準端子であるソースに対してバイアス電圧を印加することを可能とするため、LCR メータに接続する全ての端子に対してバイパスコンデンサ $C1$ 、 $C2$ 、 $C7$ 、 $C8$ を挿入している。なおバイパスコンデンサは、被測定対象の静電容量に比べ十分大きい値とした。また測定対象ではない C_{gs} 、 C_{ds} を除去するため、ソースは測定端子をシールドしている基準電位と等しくなるように直接接地されている。ドレイン端子に接続された電源・測定系は、 $R1$ 、 $R2$ 、 $R3$ 、 $R4$ の高抵抗で LCR メータの測定端子と分離されているため、その影響は無視できる。高耐圧素子では $V_{ds}>V_{gs}$ となることから、ドレインを LCR メータの高電位側、ゲートを低電位側に接続する構成をとっている。

〈2・3〉 C_{ds} 測定回路 図 2 (c) に C_{ds} 測定回路を示す。ドレインはバイアス電圧が印加された高電位となっているため、LCR メータに接続する端子に対してバイパスコンデンサ $C1$ 、 $C2$ を挿入し、測定用の交流信号のみ通過するようにしている。一方ソース端子は、直流的に基準電位に接地する必要があることから、ブロッキングインダクタ $L1$ を挿入し、ソース端子を交流的に浮かせると共に、LCR メータの測定端子へ接続している。また、ゲート端子に接続された $C6$ は、バイアス電圧 V_{gs} が印加されたゲート端子を交流的に接地して、測定用の信号が影響を与えないようにす

るためのバイパスコンデンサである。ドレイン端子に接続された電源・測定系は、R1、R2、R3、R4の高抵抗でLCRメータの測定端子と分離されているため、その影響は無視できる。

〈2・4〉 Ciss 測定回路 図2 (d) に Ciss 測定回路を示す。Ciss は Cgs と Cgd の和であるから、Cds を除外して測定する必要がある。共通端子であるゲートは、バイアス電圧 Vgs が印加されていることから、バイパスコンデンサ C7、C8 を通して LCR メータに接続する。ソース端子は直流的に基準電位に接地し、交流的に浮かせるためブロッキングインダクタ L1 を介し

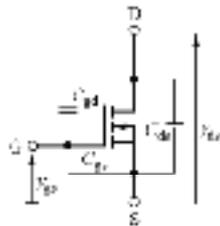
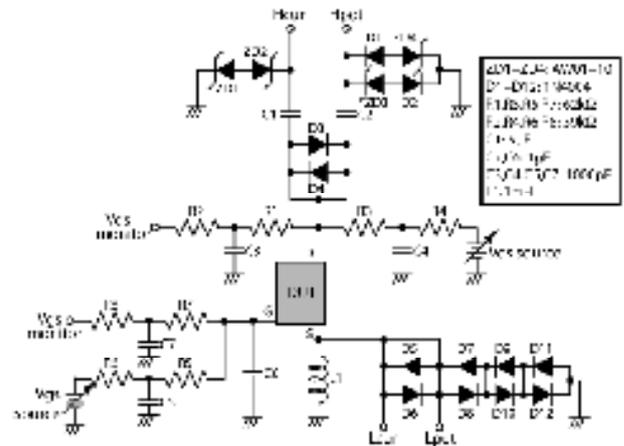
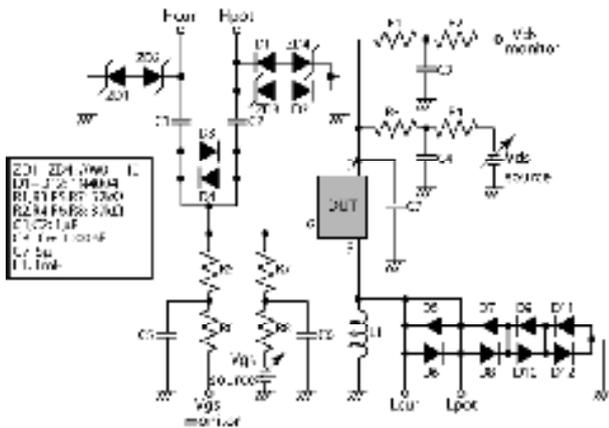


図1 パワー MOSFET 等価回路

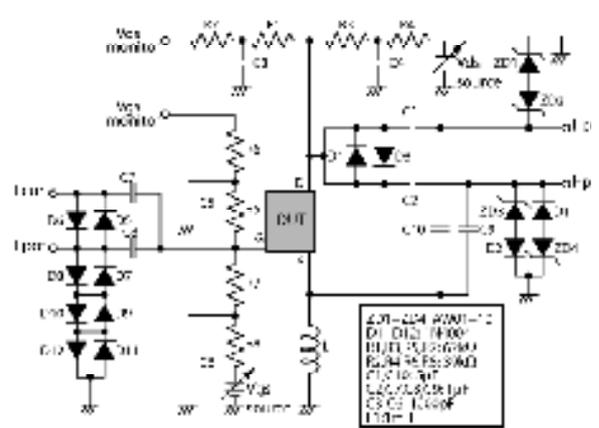
て接地している。ドレイン端子に接続された電源・測定系は、R1、R2、R3、R4の高抵抗でLCRメータの測定端子と分離されているため、その影響は無視できる。Cdsの影響を除去し、ドレイン・ソース端子からみた静電容量を測定する方法として、ドレイン・ソース間にバイパスコンデンサを設ける方法も考えられるが、ここではドレイン・ソース端子を同等のバイパス



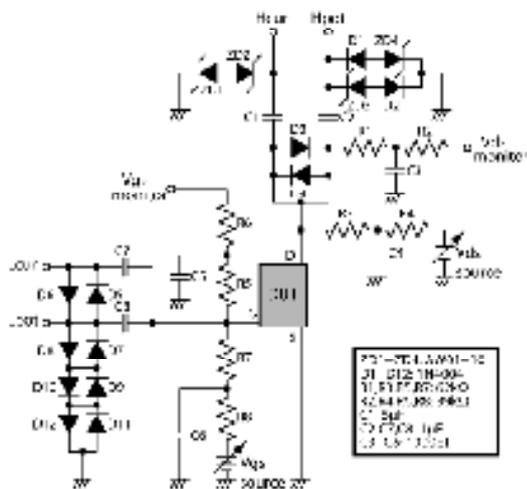
(a) C_{ds} 測定回路



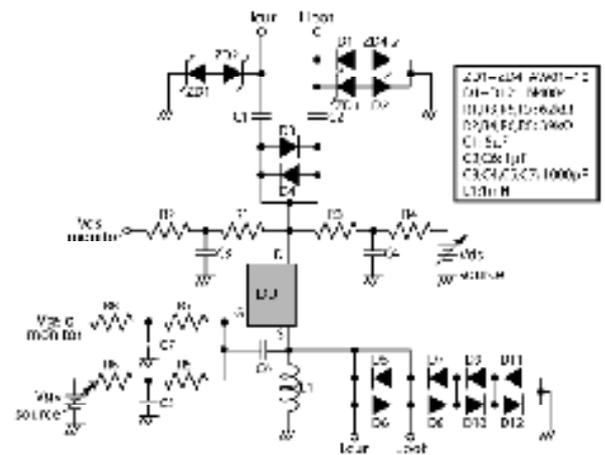
(b) C_{gs} 測定回路



(c) C_{gd} 測定回路



(d) C_{iss} 測定回路



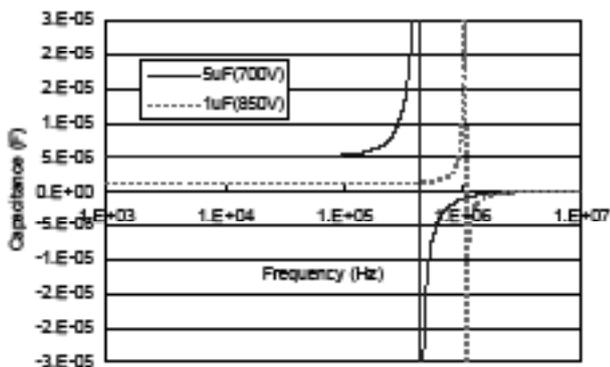
(e) C_{oss} 測定回路

図2 端子間容量測定回路

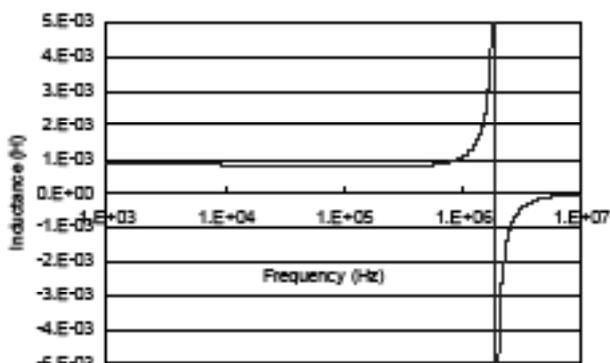
コンデンサ C1、C2、C9、C10 を介して LCR メータに並列に接続することで、両端子の交流条件を同等にし、測定を行なう方法を採用した。

〈2・5〉 Coss 測定回路 図 2 (e) に Coss 測定回路を示す。Coss は Cds と Cgd の和である。このため Cgs を除外するように測定を行なう。共通となるドレイン端子は、バイアス電圧 Vds が印加されていることから、バイパスコンデンサ C1、C2 を介して LCR メータの高電位側端子に接続されている。ソース端子は直流的に基準電位に接地する必要があるが、測定信号を交流的に浮かす必要があることからブロッキングインダクタ L1 を挿入している。また Cgs はそれに比して十分に大きいバイパスコンデンサ C6 を挿入することで、その影響を除去すると共に、ゲートとソースを交流的に同電位とする構成となっている。

〈2・6〉 測定周波数 C-V 特性の測定について、JEDEC では配線の寄生インダクタンス等による測定への影響を抑えるため、測定周波数は低くするべきであり 2MHz 以下が望ましいとしている。本節では、開発した測定回路において C-V 特性測定を行なう周波数について述べる。



(a) バイパスコンデンサの周波数特性



(b) ブロッキングインダクタの周波数特性

図 3 バイパス・ブロッキング素子の周波数特性

本回路には、複数のバイパスコンデンサやブロッキングインダクタ等の素子が用いられている。これらの素子が各々コンデンサもしくはインダクタとして機能するには、自己共振周波数より低い周波数での使用が必要となる。図 3 に開発した測定回路で用いた高電圧バイパスコンデンサおよびブロッキングインダクタの周波数特性を示す。なお各素子の周波数特性の測定は、インピーダンスアナライザ (Agilent 4294A) を用いた。図 3 (a) に示す 850V 耐圧 1 μ F、700V 耐圧 5 μ F のバイパスコンデンサの周波数特性より、自己共振周波数は各々 1.02MHz、427kHz である。また図 3 (b) に示すブロッキングインダクタの周波数特性より、自己共振周波数は 1.91MHz である。これらの自己共振周波数のうち、最も低い周波数以下で測定を行なう必要がある。従って開発した測定回路では、C-V 特性測定周波数を 100kHz とした。

〈2・7〉 測定システムの構成と精度 図 4 に開発した C-V 特性測定システムの構成を示す。測定回路の Hcur、Hpot、Lpot、Lcur 端子を LCR メータ (Agilent E4980A) に接続し、静電容量を測定する。ドレイン-ソース間のバイアス電圧 Vds を高電圧電源 (Agilent N5772A) から測定回路に供給すると共に、デジタルマルチメータ (Agilent 34401A) を用いて実際に素子に印加されている電圧を Vds monitor 端子から測定する。このため閾値電圧に近いゲート電圧が印加された場合においても、漏れ電流と回路中の電流制限抵抗による電圧降下を考慮し、実際に印加されているドレイン-ソース間電圧が取得可能である。また、ゲート-ソース間のバイアス電圧 Vgs は、電源 (Agilent E3631A) から測定回路に供給すると共に、デジタルマルチメータ (Agilent 34401A) を用いて素子に印加されている電圧を Vgs monitor 端子から測定する。本測定回路では負のバイアス電圧 Vgs を印加することで、ノーマリオン素子である JFET 等に対しても、これを遮断状態にし端子間容量を測定することが可能である。なお測定回路は、バイパスコンデンサ、ブロッキングインダクタ等を使用しているため、静電容量を測定する際には LCR メータ測定値の補正が不可欠である。補正として被測定端子を全て開放したオープン補正および、全て短絡したショート補正を行なう。オープン補正はバイアス電圧を印加した状態でも可能であるが、ショート補正は短絡電流を流すことになるため、バイアス電圧を印加しない状態で補正を行なう。これ

表 1 測定回路の精度試験結果

BD	DS	GS	C _{gs} (pF)	C _{gd} (pF)	C _{iss} (pF)	C _{gs} +C _{gd} (pF)	C _{ds} (pF)	C _{oss} (pF)	C _{ds} +C _{gd} (pF)
D ₁	C ₁	C ₂	52.591 (5.597)	11.728 (2.475)	64.170 (2.954)	64.117 (2.840)	22.156 (2.868)	55.801 (1.841)	55.865 (2.027)
D ₂	C ₂	C ₃	21.955 (2.212)	11.528 (2.882)	33.740 (1.657)	33.514 (2.875)	51.568 (1.775)	65.029 (1.104)	65.128 (1.265)
D ₃	C ₃	C ₄	52.546 (5.508)	22.145 (2.910)	74.471 (3.162)	74.491 (3.190)	12.114 (3.794)	33.398 (2.881)	54.258 (3.218)
D ₄	C ₄	C ₅	11.587 (1.721)	21.758 (1.111)	35.697 (1.226)	33.345 (2.487)	51.414 (1.469)	72.083 (2.882)	75.172 (1.562)
C ₁	C ₁	C ₁	21.978 (2.155)	51.957 (2.640)	74.082 (2.625)	73.955 (2.419)	11.845 (2.108)	61.087 (2.011)	65.605 (2.028)
C ₂	C ₂	C ₂	11.670 (1.287)	51.681 (1.906)	65.450 (1.747)	65.250 (1.458)	21.784 (1.252)	70.718 (2.037)	75.404 (1.767)

C₁=11.0712pF, C₂=71.5120pF, C₃=60.0882pF

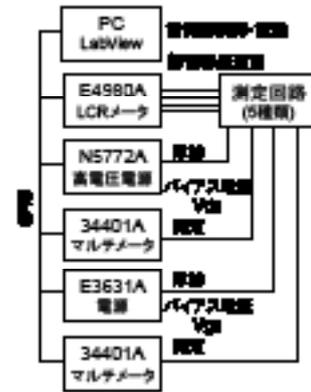


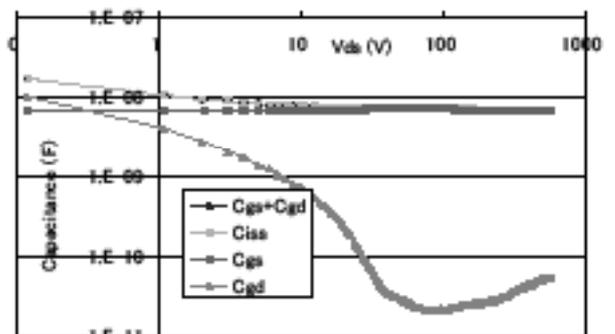
図 4 C-V 特性測定システム構成

らの測定装置・電源は、GPIB で PC に接続されており、静電容量測定・バイアス電圧掃引は LabView を用いたプログラムにより自動処理される。

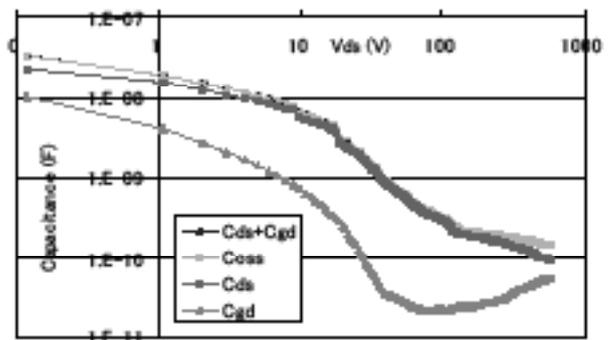
開発した測定回路の精度を評価するため、静電容量が既知の 3 個のコンデンサ Ca、Cb、Cc を用いて構成した MOS トランジスタ擬似端子間容量を用いて測定を行なった結果を表 1 に示す。GD、DS、GS の列は、それぞれの端子間に接続したコンデンサを示している。表より本測定回路での誤差は 4% 未満となることが分かる。端子間容量の合成である C_{iss} や C_{oss} も、個々の端子間容量の測定値から求まる C_{gs}+C_{gd}、C_{ds}+C_{gd} と各々よく一致している。ゲート-ソース間に接続した静電容量が大きいとき (C_c) に誤差が大きくなっているが、これは図 2 (a) に示した測定回路中のバイパスコンデンサ C7 が 5 μF であるのに対し C_c が 50nF であり、その比が 100 倍程度となっていることによるものと、ブロッキングインダクタ L1 への測定信号電流の漏れによるものと考えられる。C_{gd} や C_{ds} についても同様に、被測定端子間に接続された静電容量が大きいほど、誤差が大きくなる傾向にある。ただし、MOS トランジスタのモデリングに本測定装置の測定結果を適用することを考えた場合、デバイス特性のばらつきを考慮すると、得られた端子間の静電容量の精度は実用上問題ない。また、測定対象となる MOS トランジスタの端子間容量に応じて、バイパスコンデンサ、ブロッキングインダクタの大きさを変えることで測定精度を調整することが可能である。

3 C-V 特性測定結果

本稿で開発した C-V 特性測定システムの測定対象として、Si SJ MOSFET、ワイドバンドギャップ半導体デバイスとして期待されている SiC 縦型二重拡散 (VD) MOSFET および、SiC トレンチゲート縦型 MOSFET の高耐圧パワー MOSFET を考え、その測定結果について述べる。これら三種類の素子は全て縦型構造のパワー MOSFET であるが、素子構造、半導体材料が異なっており、それが C-V 特性にどのような影響を及ぼすかについて検討する。



(a) C_{iss}



(b) C_{oss}

図 5 Si SJ MOS の C-V 特性

〈3・1〉 Si SJ MOSFET の C-V 特性 測定した Si の SJ パワー MOSFET は耐圧 600V、定格電流 4A である。超接合構造は、縦型パワー MOSFET の順方向耐圧を高くするために、ドリフト層部を一様な n-層にするのではなく、ソースにつながった p ウェル部から延長した p カラムをドリフト層内に配置し、それを n-部と織り重ねた配置とすることで PN 接合を多数形成する。その PN 接合部で空乏層を横方向に伸張させることで、耐圧の向上と順方向導通抵抗低減の両立を図るものである。図 5 に測定した C-V 特性を示す。図 5(a) に示した C_{gs} は、バイアス電圧 V_{ds} による空乏層領域の変化の影響を受けないため、 V_{ds} に関わらず 7nF でほぼ一定となっている。一方 C_{gd} は、空乏層変化の影響を大きく受けるため、最大 10nF ($V_{ds}=0.1V$) から最小 20pF ($V_{ds}=90V$) まで、約三桁程度に大きく変化をする。また超接合構造に依存した空乏層の伸張があるため、 C_{gd} が最低となってからも更に V_{ds} を大きくすることで C_{gd} が再び増加する現象が見られた。また C_{iss} については、 $V_{ds}<10V$ の領域では C_{gd} が支配的であるが、 $V_{ds}>10V$ の領域になると C_{gs} が支配的となる事が分かる。図 5 (b) に示す C_{ds} は、バイアス電圧 V_{ds} の増加に伴い空乏層が伸張することから単調減少し、20nF ($V_{ds}=0.1V$) から

10pF ($V_{ds}=600V$) まで二桁以上変化する。また C_{oss} については C_{ds} が支配的となっている。この様に、超接合構造のパワー MOSFET では、多数の PN 接合を持つことから、それに関係する端子間容量が大きな影響を受ける。すなわちバイアス電圧 V_{ds} が低い状態では、大きな端子間容量を示すが、バイアス電圧の上昇と共に急激に減少し、その変化幅が非常に大きくなる。

〈3・2〉 SiC VDMOSFET の C-V 特性 測定した SiC VDMOSFET はチップサイズ 1.2mm 角、アクティブエリア $0.00919cm^2$ のメタルゲート (Mo) のデバイスである。図 6 に測定した C-V 特性を示す。図 6 (a) に示すように、 C_{gs} は Si SJ MOSFET と同様、バイアス電圧に対して変化せずほぼ一定の値となる。VDMOSFET 構造ではバイアス電圧 V_{ds} を印加すると、n-ドリフト層上部の JFET 領域部から n+ バッファ層の方へ空乏層が伸張していく。このため C_{gd} は V_{ds} の増加と共に単調かつスムーズに減少する。空乏層がドリフト層内を伸びきって n+ バッファ層に至ると、空乏層の伸張がほぼ止まる。これが $V_{ds}=200V$ 付近であり、このとき C_{gd} は 10pF となっている。 C_{iss} については、ゼロバイアス電圧時は C_{gd} が大きいものの、それ以外では C_{gs} が支配的と

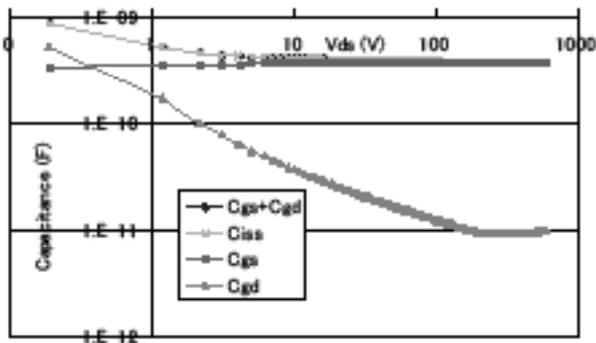


図 6 (a)

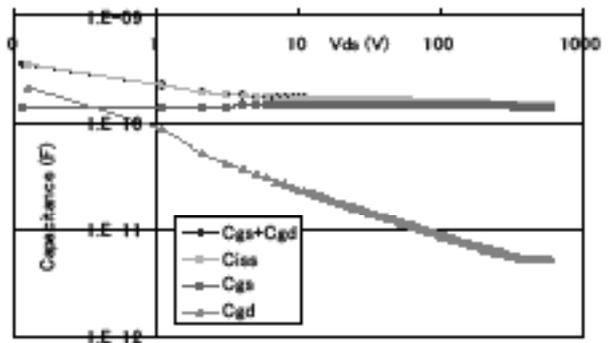


図 6 (b)

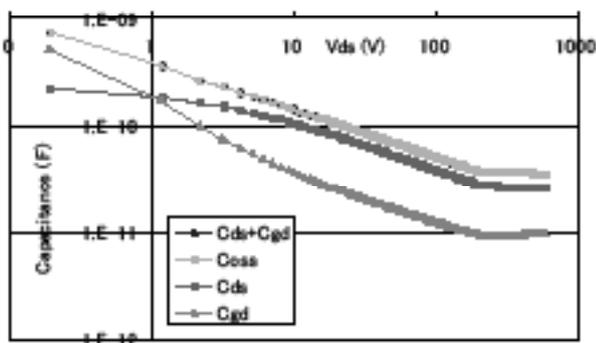


図 7 (a)

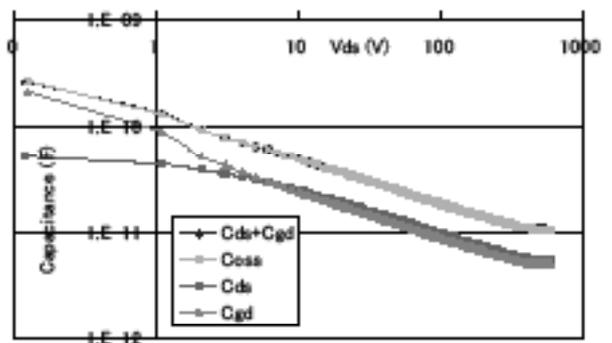


図 7 (b)

図 6 SiC VDMOSFET の C-V 特性

図 7 SiC Trench MOSFET の C-V 特性

なっていることが分かる。図6 (b) より、ゼロバイアス電圧時は C_{ds} も C_{gd} より小さいことがわかる。ただし、空乏層が JFET 領域部を超えると、 C_{ds} と C_{gd} の空乏層の伸張による容量変化はほぼ同じとなる。従って両者の $C-V$ 特性線は平行となっており、その差はソース電極とゲート電極の面積比に等しくなる。すなわち $10V < V_{dc} < 200V$ の領域での両者の差より、ソース電極面積はゲート電極面積の約3倍程度となることが分かる。また C_{ds} も C_{gd} と同様に、バイアス電圧 V_{ds} と共に単調減少するが、 $200V$ 付近で低下が止まり、 $25pF$ で一定となる。 C_{oss} に対しては、ソースとゲート電極の面積比に応じた分担となっている。

〈3・3〉 SiC トレンチ MOSFET の $C-V$ 特性 トレンチゲート MOSFET はゲート電極部を掘り込んであるため、JFET 領域部を持たず、VDMOSFET に比べ導通抵抗が低くなる。また VDMOSFET とは異なり、ソース電極面積とゲート電極面積の和がチップ表面のアクティブエリア面積とならない。図7に測定した $C-V$ 特性を示す。図7 (a) より、 C_{gs} は他のデバイスと同様に、バイアス電圧 V_{ds} によらずほぼ一定の $140pF$ となっている。また C_{gd} は、バイアス電圧 V_{ds} の増加に伴い、空乏層がドリフト層中を伸張していくと共に、単調減少している。ゼロバイアス電圧状態で C_{gd} は $200pF$ あるが、 V_{ds} が $400V$ で空乏層がバッファ層に到達し、伸張しなくなり $5pF$ で一定となる。 C_{iss} については、ゼロバイアス電圧付近を除き C_{gs} が支配的となっている。図7 (b) より、ゼロバイアス電圧付近では、 C_{gd} に比べ C_{ds} は小さいが、 $5V$ 付近でほぼ等しくなり、それ以後バイアス電圧の変化に対して同等の変化をしている。すなわちソース電極の面積とゲート電極の面積がほぼ等しいことが分かる。従って C_{oss} も C_{ds} と C_{gs} がほぼ均等に分担している。

4 まとめ

スイッチング動作等のパワーデバイスの動特性を把握するには、デバイスの端子間容量を知る事が重要である。半導体デバイスの端子間容量は、半導体中の空乏層に起因する成分が大きく、空乏層は印加電圧によ

り大きく変化する事から、本稿では高耐圧 MOS トランジスタの $C-V$ 特性測定システムを開発した。

ゲート-ソース間容量 (C_{gs})、ゲート-ドレイン間容量 ($C_{gd}=C_{rss}$)、ドレイン-ソース間容量 (C_{ds}) および入力容量 (C_{iss})、出力容量 (C_{oss}) の五種類の静電容量測定回路について述べるとともに、LCRメータ、バイアス電源を含めた測定システムの構成について示した。また開発したシステムの測定精度について評価するとともに、各種パワー MOSFET の $C-V$ 特性測定結果を示した。

本測定システムは、ノーマリオフのパワー MOSFET だけでなく、JFET の様なノーマリオンデバイスの $C-V$ 特性測定にも適用可能である。また IGBT の様な MOS ゲートを持ったバイポーラデバイスの特性測定も可能であり、スイッチング波形等の時間軸解析結果とあわせて評価することで、少数キャリアと多数キャリア成分に分離した評価も可能であると考えられる。

<文献>

- [1] T Fujihira, "Theory of Semiconductor Superjunction Devices", JJAP, Vol.36, No.10, pp.6254-6262 (1997).
- [2] J. L. Hudgins, et. al, "An Assessment of Wide Bandgap Semiconductors for Power Devices", IEEE Trans. PELS, vol.18, no.3, pp. 907-914 (2003)
- [3] J. M. Miller, "The Dependence of the Amplification Constant and Internal Plate Circuit Resistance of a Three-Electrode Vacuum Tube Upon the Structural Dimensions", Proc. IRE, vol. 8, pp 64-72, 1920.
- [4] JESD6, "Measurement of Small Values of Transistor Capacitance", JEDEC STANDARD, 1967.
- [5] IEC 60747, "Semiconductor devices," IEC Standard, 2006.
- [6] R. Elferich, et. al, "Accurate behavioural modelling of power MOSFETs based on device measurements and FE-simulations", proc. EPE 2005, no. 0708, 11-14 Sep, Dresden, Germany, 2005.

(電気 平成3年卒 5年前期)