異種元素添加による Hf 系高誘電率ゲート絶縁膜の高性能化に関する研究

大阪大学大学院工学研究科 生命先端工学専攻後期課程2年

近年の高度情報化社会の発展は目覚しく、携帯電話 やパーソナルコンピュータに代表される情報家電機器 の高性能化は私たちの生活をより便利なものとしてき た。これを支えたのが、微細トランジスタにより構成 された半導体集積回路の高性能化・高集積化であり、 例えば最新コンピュータの中央演算処理装置 CPU で は、約2平方センチメートルの面積に10億個近い数 のトランジスタが作り込まれている。今後さらなる集 積回路の高性能化のためには、スイッチング素子であ るトランジスタのさらなる高速化・微細化が要求され ている。しかし、30年以上にわたる微細化によりト ランジスタの寸法はマイクロメートルからナノメート ルの領域に突入しており、その心臓部であるゲート絶 縁膜(シリコン酸化膜)の厚みは1nm 程度にまで薄膜 化され、絶縁膜を電子がトンネルすることによる消費 電力の増大が大きな問題となっている。そこで、ゲー ト絶縁膜として新規材料を導入することが試みられて いるが、トランジスタ作製プロセスの複雑化や、閾値 電圧制御が困難になるなど、高性能化を達成するため には解決すべき問題が山積している。そこで本研究で は、Si、Hf、Ti、Laの多種元素からなる混合酸化膜 をゲート絶縁膜として、その膜中組成や分布を精密に 設計することにより、シリコン酸化膜換算で1 nm を 大きく下回る絶縁膜の電気的な薄膜化と絶縁性の向上 を達成し、さらに閾値電圧制御性の向上を実現した。 これらは集積回路の低消費電力化と高速動作化を可能 にし、今後の情報化社会の発展に大きく貢献する重要 な技術である。

1. はじめに

近年、超LSIに代表される半導体デバイスは様々 な電子機器に搭載され、その飛躍的な性能向上が情報 化社会の発展に大きく貢献してきた。今や半導体は 様々な産業の中枢を担っており、半導体デバイスのス イッチング素子であり言わばその心臓部とも言うべき

有村拓晃

金属・酸化物・半導体電界効果トランジスタ(Metal Oxide Semiconductor Field Effect Transistor: MOSFET)の性能向上は、全産業の未来を担うととも に、その低消費電力化があらゆる電子機器の電力低減 につながり、エネルギー資源不足や地球温暖化問題の 解決へ、多大な貢献を果たすと期待されている。

2. 研究背景

2.1 MOSFET

n型を例に MOSFET の構造を図1に示す。MOSFET はゲート電極、絶縁膜、Si 基板の積層構造を成すゲー ト部分とその両脇に形成されるソース/ドレイン領域 から構成されており、ソース/ドレイン方向の電子輸 送をゲート電圧によって制御するものである。この MOSFET の性能指標であるドレイン電流 *ID*(オン電 流)は(1)式で与えられる。

$$I_D \cong \frac{1}{2} C_{ox} \mu_e \frac{W}{L} (V_g - V_{th})^2 \tag{1}$$

なお、 C_{ox} は絶縁膜容量、 μ_e は電子移動度、Lはゲー ト長、Wはゲート幅、 V_g はゲート電圧、 V_{th} は閾値 電圧である。このCoxはゲート絶縁膜の膜厚に反比 例するため、MOSFET のオン電流 I_D はゲート長 Lの縮小とゲート絶縁膜の薄膜化により増大させること が可能である。このため、MOSFET はこれまで、比 例縮小則に従った微細化により性能向上と高集積化を 実現してきた。しかし、微細化に伴うゲート絶縁膜(シ リコン酸化膜:SiO2)の薄層化によってその膜厚が数



nm に達すると、直接トンネル現象などの量子的な効 果が顕著となり、ゲート方向へのリーク電流による消 費電力の増大や長期信頼性の面でデバイス特性に深刻 な影響を及ぼす。この問題を解決するために、近年精 力的に研究されているのが SiO2 に代わる高誘電率 (High-k)絶縁膜である。

2.2 金属/高誘電率(High-k)ゲートスタック技術

図2に従来の Poly-Si/SiO2/Si ゲートスタックと現 在研究されている Metal/High-k スタックの構造を示 す。High-k 絶縁膜とは従来の SiO2 に比べ誘電率が高 い絶縁膜を意味し、SiO2より物理的に厚い膜を用い て同等の静電容量が得られるため、直接トンネル電流 を抑制し電力消費を大幅に低減することが可能であ る。また、それに併せてゲート電極に関しても、従来 は Poly-Si 電極が SiO2 絶縁膜とのプロセス親和性お よび仕事関数制御の容易性から永く用いられてきた が、ゲート絶縁膜厚が 1nm 程度に差し迫った現在で は、ゲート電圧印加時に絶縁膜界面に形成する空乏層 厚分のスケーリングロスがデバイス性能を頭打ちにす る決定的な要因となりつつある。したがって、 High-k 膜と共にこうした空乏層を生じないメタル電 極の利用に関しても注目が寄せられ、これらの複合技 術である Metal/High-k ゲートスタックを確立すべ く、様々な High-k 材料やメタル電極材料が検討され てきた。その結果、有望な High-k 膜候補は電気特性 および活性化アニールを想定した熱安定性の観点から Hf 系絶縁膜、特に HfSiO (N)膜に絞られている。





2.3 真空一貫界面固相反応法(SPIR)による高品質 TiN/HfSiO/SiO₂ ゲートスタックの実現

従来の High-k 膜の作製法は化学気相蒸着 (Chemical Vapor Deposition: CVD) 法や原子層堆積 (Atomic Layer Deposition: ALD) 法が主に用いられ てきた。しかしこれらの原料ガスは炭素や塩素を含む

ため、絶縁膜中にそれらの不純物が混入しゲートリー ク電流を増大させてしまう。さらに High-k 膜と Si 基板の直接接合には界面特性の面で課題が残されてお り、優れた界面特性を維持するためには High-k 膜と Si 基板界面に高品質で薄い SiO2 界面層を挿入する必 要がある。そこでこれまで我々は Hf シリケート High-k 膜と下地 SiO2 層の高品質な積層構造形成法と して物理蒸着 (Physical Vapor Deposition: PVD) 法を ベースとした界面固相反応 (Solid Phase Interface Reaction: SPIR) 法を提案してきた [1]。図3(a) に SPIR による HfSiO 膜作製の概念図を示す。下地 SiO2 膜(1.8 nm)上に極薄の金属 Hf(0.5 nm)を PVD 成膜 し、減圧酸素雰囲気中で850℃のアニール処理を施す ことでHfをSiO2中に拡散させ、Hfシリケート膜を 作製する。これにより絶縁膜中不純物汚染を低減し、 優れた SiO₂/Si 界面も維持することが可能である。

しかし、それでもなお各プロセス間に試料を大気暴 露してしまうため、絶縁膜中への炭素不純物混入は避 けられない。そこで我々は、図3 (b)に示すように成 膜チャンバーとアニールチャンバーが超高真空下で連 結された真空一貫クラスターツールを企業と共同で開 発した。これにより High-k 膜の作製からメタル電極 の成膜までを真空一貫で連続に行うことができ、プロ



- 図 3 (a) 芥面固相反応法による HfSiO/SiO2 絶縁膜 形成の模式図
 - (b)真空一貫クラスターツール

セス間大気暴露による不純物汚染を回避した高品質な Metal/High-k ゲートスタックの作製が可能となった [2]。その結果、HfSiO/SiO2 ゲートスタックの電気特 性が改善し、酸化膜換算膜厚(EOT) 1.1 nm において 従来の Poly-Si/SiO2 ゲートスタックに対する5桁の リーク電流低減が達成された。

2.4 Higher-k 膜の必要性と High-k 膜への Ti 添加

以上のように我々は真空一貫界面固相反応法により 優れた Metal/High-k ゲートスタックの作製に成功し ている。しかし次世代デバイス実現のためには EOT 1 nm 以下においてゲートリーク電流を大幅に低減す る必要がある。これにはゲート絶縁膜のより一層の高 誘電率化(Higher-k)とエネルギーバンド構造を考慮 した膜構造の最適化が求められる。そこで我々が注目 したのが Ti 系酸化物である。ルチル型 TiO2 の比誘 電率は約80と従来SiO2の20倍も高くHigher-k膜 として非常に有望な材料である。しかし一方でそのバ ンドギャップは十分とは言えず、他の High-k 膜との 組み合わせによる構造設計が必要である。Ti 添加に よる High-k 膜の高誘電率化は一般に High-k 膜に Ti を混ぜ合わせた Ti 添加混合膜で検討されてきたが、 それらによると EOT 1 nm 以下でリーク電流を大幅 に低減するのは困難であった。一方、以前我々は TiN 電極と HfSiON 絶縁膜の界面反応で TiO2 層が形成さ れ、EOT の増加を殆ど伴わずにリーク電流が低下す る現象を報告している [3]。よって HfSiO 膜に Ti を 混ぜ合わせるのではなく TiO2 層として積層したゲー ト絶縁膜構造が電気特性向上の面でより有効であると 考え、Higher-k 膜実現に向け真空一貫で HfSiO/SiO2 上に TiO₂ を積層した TiO₂/HfSiO/SiO₂ 積層構造の作 製を検討した。

フェルミレベルピニング現象と High-k 膜へのLa 添加

Hf系 High-k 膜が検討される中で、従来の SiO2 絶 縁膜では見られなかった新たな問題が生じている。閾 値電圧を低く保つにはメタル電極の仕事関数制御が重 要であり、nMOS の場合 Si 基板の伝導帯付近(約4 eV)、pMOS の場合 Si 基板の価電子帯付近(約5 eV) の仕事関数が求められる。しかし、絶縁膜に Hf系 High-k 膜を用いた場合、メタル電極の仕事関数が本 来の仕事関数からずれ、Si のミッドギャップ付近(約 4.6 eV) に固定されてしまう。フェルミレベルピニン グと呼ばれるこの現象は閾値電圧の増大を招く。これ に対し近年、High-k 膜に La を添加することでメタ ル電極の実効仕事関数が低エネルギー側にシフトし nMOS に有効であるとの報告が注目を浴びており、 その起源は High-k/SiO2 界面に存在する La が SiO2 層と電気的な界面双極子を形成するためであると理解 されている。したがって La 添加 High-k 膜において 膜中 La 組成や深さ方向 La 分布は非常に重要である。 そもそも La2O3 は比誘電率が約27 と高く有望な High-k 材料として注目されているものの、La 系酸化 物特有の吸湿性のために大気中の水分と容易に反応 し、その優れた特性を劣化させてしまうことが知られ ている。そこで我々は HfSiO に La を添加した Metal/ HfLaSiO/SiO2/Siゲートスタックを真空一貫で作製す ることで、実効仕事関数を制御することを検討した。

3. 試料作製

本研究ではp型Si基板を用い、以下の2種類のプロセスによりMOSキャパシタを作製した。両プロセスによりMOSキャパシタを作製した。両プロセスにおけるTiもしくはLa添加時の膜構造を図4に示す。先述のSPIRによりHfSiO/SiO2膜を形成後、金属TiもしくはLaをスパッタ成膜し酸化アニールを施した"Cap試料"、もしくは下地SiO2上に様々な組成のHfTiもしくはHfLa合金を同時スパッタ成膜しSPIR処理を施した"Co-sputter 試料"を作製し、両試料ともHigh-k膜形成後に真空一貫でTiN電極を成膜した。Ti添加High-k膜ではCap試料により目的のTi添加積層膜を検討し、比較試料としてCo-sputterプロセスによりHfTiSiO混合膜を作製した。また、La添加High-k膜では膜中La組成および深さ方向La分布を変調するため、2種類のプロセスにてHfLaSiO膜を作製した。



4. Ti 添加による Higher-k 膜の実現

図5に400°C(図5(a)) および850°C(図5(b)) の酸化アニールで作製した Ti-cap 試料の断面 TEM 像を示す。酸化アニール温度が400°Cの場合、TiN 電 極とHfSiO層の界面に薄いTiO2層が確認でき、 TiO2/HfSiO/SiO2の3層による積層構造が形成され ていることがわかる。しかし一方で図5(b)の850°C アニール条件ではTiO2層が確認できず、暗いコント ラストの領域が厚くなっていることから、高温酸化ア ニール条件においてTiがHfSiO層に拡散し、比較的 厚いHfTiSiO混合膜を形成していることがわかる[4]。



図 5 酸化アニール温度(a) 400℃および(b) 850℃で 作製した Ti-cap 試料の断面 TEM 像

図6はTi添加High-k 膜のEOTとゲートリーク電 流密度 Jgの関係を示している。Ti 添加混合膜が形成 された Co-sputter 試料および酸化アニール温度が 850℃と高温の Ti-cap 試料において厚い EOT が得ら れ、従来のPoly-Si/SiO2スタックに対するリーク電 流の低減も3桁から4桁に留まった。しかし一方で積 層構造を確認した 400℃の低温酸化アニール試料では EOT=0.78 nm において5桁に近いリーク電流の低減 を達成した。これらの結果から高温アニールにより Tiが下層に拡散しHfTiSiO 混合膜となるとリークパ スが形成されリーク電流が増大することがわかった。 また、下地 SiO2 の初期膜厚を薄膜化し、さらに低温 アニールによりアニール時の下地 SiO2 層の増膜を抑 制することで EOT が低減し、リーク電流に関しては Tiの拡散を抑制して High-k 膜表面で TiO2 層を形成 することでリーク電流を低減できることがわかった。 すなわち、Ti 添加 High-k 膜における積層膜の優位性 が示された。さらに、450℃、30 min の水素ガスアニー ル (Forming Gas Anneal: FGA) 処理を施して絶縁膜 中の欠陥を終端化することで、電気特性は一層向上し、 Poly-Si/SiO2スタックに対する6桁に近いリーク電流 低減を EOT=0.71 nm という極薄の領域において達成 した。このとき、FGA 処理により界面特性も改善し、 EOT が薄いほど良好な界面特性の実現が困難である

にも関わらず、Si 界面の欠陥準位密度 (Interface trap density: D_{it}) は 1.0×10^{11} cm⁻²eV⁻¹ という低い値が得 られ、理想的な SiO₂/Si 界面 (10^9 台後半から 10^{10} 台 半ば) に近い良好な界面特性を達成した。以上の結果 から、我々は TiO₂/HfSiO/SiO₂ 積層膜により優れた 電気特性および界面特性を持つ Higher-k 膜を実現し た[5]。



図 6 各 Ti 添加 High-k 膜を用いた TiN/HfTiSiO/SiO₂/Si MOS キャパシタの EOT-Jg 特性

5. La 添加による電気特性向上と実効仕事関数制御

各作製プロセスおよびアニール温度による High-k 膜中の La 深さ方向分布を、ラザフォード後方散乱分 析 (Rutherford Backscattering Spectroscopy: RBS)法 を用いて調べた。図7にその結果を示す。La-cap 試 料において La は HfLaSiO 膜の表面に局在しており、 Co-sputter 試料において La は膜全体に分布している ことがわかる。さらに La-cap プロセスでは酸化アニー ル温度が高温であるほど La がより深い位置に拡散し ている。このように La-cap および Co-sputter の2 種類のプロセスにて HfLaSiO 膜を作製することで、 膜中 La 分布を制御した HfLaSiO/SiO2 絶縁膜の作製 に成功した。



次に、La 添加 High-k 膜の絶縁膜としての性能を 調べるため EOT-Jg 特性を評価した。結果を図8に 示す。まず La 添加なしの HfSiO/SiO2 試料は EOT=1.1 nm において従来の Poly-Si/SiO2 スタックに対する約 5桁のリーク電流低減を達成している。これに対し、 この Hf の半分を La に置換した HfLa Co-sputter 試 料ではほぼ等価な EOT-Jg 特性が得られている。こ の要因としては HfO2 と La2O3 の比誘電率が 25 と 27 でほぼ等しいためであると考えられる。一方、550℃ で酸化アニールを施した La-cap 試料では EOT を1 nm にまで薄膜化することに成功し、さらに従来の Poly-Si/SiO2スタックに対するリーク電流低減も5桁 から7桁近くにまで向上させることに成功した。この EOT の低減は酸化アニール温度を 550℃と低温化し たことでアニール時の下地 SiO2 層の増膜を抑制でき たと共に、誘電率の低い下地 SiO2 層に La が混入す ることにより SiO2 の高誘電率化が生じた結果だと考 えられる。またリーク電流の低減については La-cap 層の堆積とその酸化による物理膜厚の増加で説明でき る。以上のように La 添加 High-k 膜においてリーク 電流の大幅な低減を達成し、Higher-k 膜と呼ぶにふ さわしい優れた特性を達成した。



続いて、La 添加 High-k 膜において最も重要な実 効仕事関数制御について示す。実効仕事関数の変化は MOS キャパシタの容量 – 電圧 (C-V) 特性におけるフ ラットバンド電圧 (Vfb) のシフトを調べることで間接 的ではあるが評価することができる。図9は La-cap 試料および HfLa Co-sputter 試料の Vfb を、絶縁膜中 の Hf に対する La 濃度を横軸にとりプロットしたも のである。これを見ると、まず La を添加していない HfSiO/SiO2 試料(La/(Hf+La)=0%)では Vfb は - 0.06 eVとなっており、Si 基板のフェルミエネルギー 4.92 eVを考慮すると、TiN 電極の仕事関数は 4.86 eV と なる。これは TiN 本来の仕事関数が 4.8-4.9 eV であ ることを踏まえると、非常に理想的な値である。一方、 La-cap 試料では膜中 La 組成および酸化アニール温 度に依存して Vfb が負方向にシフトしていることがわ かる。さらに HfLa Co-sputter 試料の Vfb は膜中 La 濃度に比例して 0.4 V のシフト幅で負方向にシフトし ていることがわかる。ここで前述の RBS の結果を考 慮すると、これら La 添加 High-k ゲートスタックの Vfb は La 組成および深さ方向 La 分布を制御すること で少なくとも 0.4 V 幅の変調が可能であると結論付け られる。



また、High-k 膜に La を添加するほど界面特性が 劣化することが報告されている。しかし、我々が真空 一貫で作製したキャパシタでは、界面準位密度 D_{it} は 最も低いもので D_{it}=4.7 × 10¹⁰ cm⁻²eV⁻¹ (HfLa Cosputter 試料、Hf:La=3:1)、最も高いものでも D_{it}=1.9 × 10¹¹ cm⁻²eV⁻¹ (La-cap 試料、酸化アニール温度 550℃)と、全体として非常に低い値が得られた。すな わち、我々は La 添加 High-k ゲートスタックによっ て High-k 膜としての優れた絶縁特性を達成し、優れ た界面特性も維持した上で、La 添加によるメタル電 極の実効仕事関数制御にも成功した。

6. まとめ

本研究では次世代デバイスの実現に必要不可欠な Higher-k 膜の実現とメタル電極の実効仕事関数制御 を達成するため、Higher-k 膜実現に主眼を置いた High-k 膜への Ti 添加技術、および実効仕事関数制御 を可能にする La 添加技術を、それぞれ真空一貫成膜 装置を用いて検討した。Ti 添加 High-k 膜では 0.71 nm という EOT の薄層化が達成され、同時にリーク 電流も従来の Poly-Si/SiO2 ゲートスタックに比べ約 6 桁の低減に成功し、Higher-k と呼ぶにふさわしい電 気特性を得た。また、同時に優れた界面特性も実現し た。一方で La 添加 High-k 膜では EOT=1 nm におい て約 7 桁のリーク電流低減を達成すると共に、界面準 位密度を低く維持したまま、La 添加による 0.4 V 幅 の実効仕事関数制御にも成功した。本研究で得られた これらの成果は次世代半導体デバイスの実現に大きく 貢献するものであり、情報化社会の発展に大きな意味 を持つと信じて疑わない。

<参考文献>

- 1) H. Watanabe et al., Appl. Phys. Lett. 85, 449 (2004)
- 2) H. Watanabe et al., Jpn. J. Appl. Phys. 46, 1910 (2007)
- 3) H. Watanabe et al., Jpn. J. Appl. Phys. 45, 2933 (2006)
- 4) H. Arimura et al., Appl. Surf. Sci. 254, 6119 (2008)
- 5) H. Arimura et al., Appl. Phys. Lett. 92, 212902 (2008)



(精密 平成19年卒 生命先端21年前期 後期2年在学中)

平成 22 年 春の褒章・叙勲				
春の褒章・叙勲受章者が発表されましたが、判明分では、下記の方が受章され ました。心よりおよろこび申し上げます。(五十音順)				
今中	忠行	氏(醗酵	42,44)	紫 綬 褒 章
北田	幹夫	氏(電気	28)	旭日中綬章
長谷川	晃	氏(通信	32, 34)	瑞宝中綬章
福岡	秀和	氏(機械	28,30,34)	瑞宝中綬章
南	茂夫	氏(精密	26)	瑞宝中綬章
山下	一美	氏(通信	27)	瑞宝中綬章